

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
8. April 2004 (08.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/030107 A1(51) Internationale Patentklassifikation⁷: H01L 29/861

(21) Internationales Aktenzeichen: PCT/DE2003/001809

(22) Internationales Anmeldedatum:
3. Juni 2003 (03.06.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 43 813.7 20. September 2002 (20.09.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 20
20, 70442 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KEPPELER, Dana

[DE/DE]; Yorckstrasse 20, 89077 Ulm (DE). GOER-
LACH, Alfred [DE/DE]; Bismarckstrasse 70, 72127
Kusterdingen (DE). SPITZ, Richard [DE/DE]; Roemer-
steinstrasse 56, 72766 Reutlingen (DE).(74) Gemeinsamer Vertreter: ROBERT BOSCH GMBH;
Postfach 30 20 20, 70442 Stuttgart (DE).

(81) Bestimmungsstaaten (national): KR, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

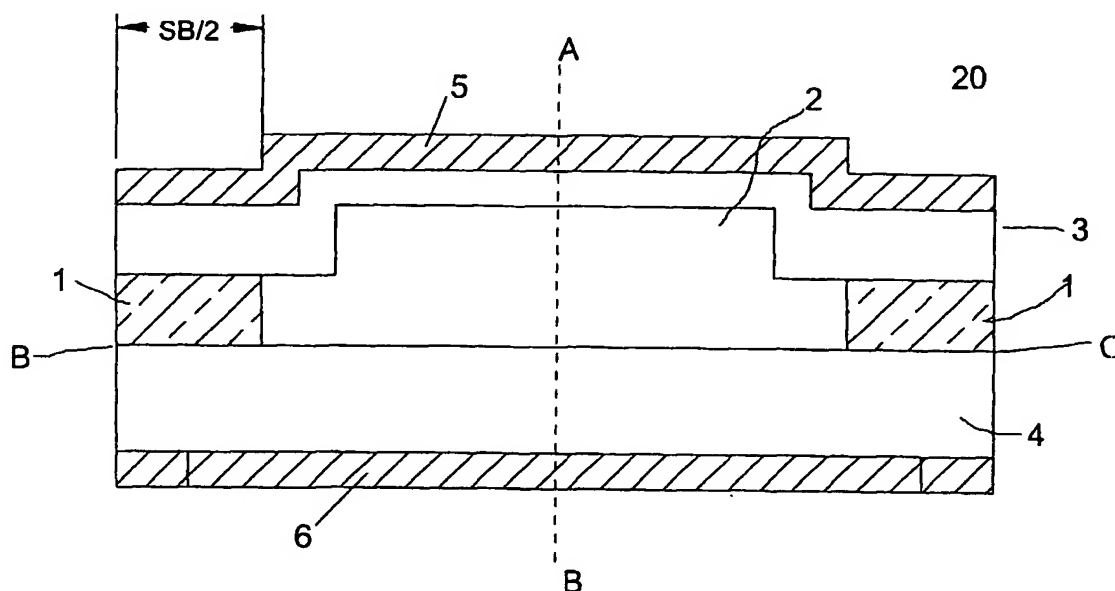
Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: SEMICONDUCTOR DIODE AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: HALBLEITERDIODE UND VERFAHREN ZUR IHRER HERSTELLUNG



(57) Abstract: Disclosed is a semiconductor array (20) comprising several partial layers (1, 2, 3, 4), in which one partial layer (4) immediately borders a first partial layer (2) across a major portion of a cross-sectional area (BC) inside the semiconductor array (20) while bordering a second partial layer (1) only in a comparatively narrow edge region of said cross-sectional area (BC). The inventive semiconductor array is characterized by a low bulk resistance and a high breakdown voltage in the edge region. Also disclosed is a method for producing said semiconductor array.

[Fortsetzung auf der nächsten Seite]



(57) Zusammenfassung: Bei einer aus mehreren Teilschichten (1, 2, 3, 4) bestehenden Halbleiteranordnung (20) grenzt eine Teilschicht (4) über den grössten Teil einer Querschnittsfläche BC im Inneren der Halbleiteranordnung (20) unmittelbar an eine erste Teilschicht (2) und nur in einem vergleichsweise schmalen Randbereich der Querschnittsfläche BC an eine zweite Teilschicht (!). Die Halbleiteranordnung zeichnet sich durch einen geringen Bahnwiderstand und eine hohe Durchbruchsspannung im Randbereich aus. Weiter wird ein Verfahren zur Herstellung dieser Halbleiteranordnung angegeben.

5

HALBLEITERDIODE UND VERFAHREN ZUR IHRER HERSTELLUNG

Stand der Technik

10

Die Erfindung betrifft eine Halbleiteranordnung nach dem Oberbegriff der Ansprüche 1, 12 13, sowie ein Verfahren zu ihrer Herstellung nach dem Oberbegriff des Anspruchs 14.

15

Aus DE 4320780 A1 ist eine Halbleiterdiode bekannt, bei der das Dotierprofil an den Rändern der Diode von dem Dotierprofil in der Mitte abweicht. Damit lässt sich erreichen, dass bei Betrieb in Sperrrichtung der Spannungsdurchbruch, der bei der Durchbruchsspannung UZ einsetzt, nur im mittleren Teil der Diode und nicht am Rande auftritt. Dies hat eine hohe Robustheit im Betrieb zur Folge, da an den Chiprändern kein Lawinendurchbruch auftreten kann.

20

Aus DE 43 20 780 A1 ist weiter eine Halbleiteranordnung mit einem pn-Übergang, insbesondere eine Diode, bekannt, die als Chip mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht eines ersten Leitfähigkeitstyps und einer zweiten Schicht des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht aus mindestens zwei Teilschichten besteht. Die erste Teilschicht weist dabei eine erste Dotierstoffkonzentration auf, während die

25 zweite Teilschicht eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste Dotierstoffkonzentration ist. Beide Teilschichten bilden mit der ersten Schicht einen pn-Übergang, wobei der pn-Übergang der ersten Schicht mit der ersten Teilschicht ausschließlich im Inneren des Chips und der pn-Übergang zwischen der ersten Schicht und der zweiten Teilschicht im Randbereich des

30 Chips ausgebildet sind.

Vorteile der Erfindung

Die bekannte Halbleiteranordnung zeichnet sich zwar durch eine hohe Robustheit
im Betrieb aus, da durch die besondere Ausgestaltung des Dotierprofils im
Randbereich bei Betrieb der Halbleiteranordnung in Sperrrichtung kein
Spannungsdurchbruch im Randbereich auftritt. Nachteilig ist jedoch, dass die
bekannte Halbleiteranordnung infolge ihrer niedrig dotierten Mittelschicht einen
relativ hohen elektrischen Widerstand aufweist. Dieser hohe elektrische
Widerstand verursacht einen unerwünschten Spannungsabfall, der sich
insbesondere im Durchbruchsbetrieb störend auswirkt. Dies ist umso
ausgeprägter, je höher die Durchbruchsspannung U_Z der Halbleiteranordnung ist.
Deshalb ist die bekannte Halbleiteranordnung für höhere
Durchbruchsspannungen, die beispielsweise für den Einsatz im 42 Volt Bordnetz
benötigt werden, nicht geeignet. Die erfindungsgemäße Halbleiteranordnung
vermeidet diesen Nachteil durch ihren besonderen Schichtaufbau. Sie eignet sich
daher vorzüglich für den Einsatz in Bordnetzen, die mit einer höheren Spannung
als 24 Volt arbeiten. Weiterhin zeichnet sich die erfindungsgemäße
Halbleiteranordnung durch einen geringeren Sperrstrom, ein robusteres Verhalten
bei Temperaturwechseln, sowie eine höhere Impulsfestigkeit aus. Der geringere
Sperrstrom und die höhere Impulsfestigkeit ist darauf zurückzuführen, dass sich
bei der erfindungsgemäßen Halbleiteranordnung die Raumladungszone am
Randbereich der Halbleiteranordnung 10 weiter ausdehnt als in deren mittleren
Bereich, wodurch die elektrische Feldstärke an der Oberfläche des Randbereichs
herabgesetzt ist. In Folge der geringen Sperrströme kann gegebenenfalls auch auf
ein Entfernen der Damagezone, beispielsweise durch Ätzen, verzichtet werden.

Zeichnung

5 Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden in der nachfolgenden Beschreibung näher erläutert. Dabei zeigt Figur 1 eine bekannte Halbleiteranordnung in einer schematischen Schnittdarstellung, Figur 2 ein erstes Ausführungsbeispiel einer erfindungsgemässen Halbleiteranordnung in einer schematischen Schnittdarstellung, Figur 3 ein
10 zweites Ausführungsbeispiel einer erfindungsgemässen Halbleiteranordnung, Figur 4 (Figur 4a, Figur 4b) einen Vergleich der Sägegrabengeometrie zwischen einer bekannten (Figur 4a) und der erfindungsgemässen (Figur 4b) Halbleiteranordnung im Ausschnitt in einer Schnittdarstellung, Figur 5 in einem Diagramm die schematische Darstellung der Dotierprofile von bekannter und erfindungsgemässer Halbleiteranordnung im Vergleich entlang Schnitt AB, Figur 6 ein weiteres
15 Ausführungsbeispiel der Erfindung, bei dem aneinander grenzende Schichten der Halbleiteranordnung aus dem gleichen Dotierungstyp sind.

Beschreibung der Ausführungsbeispiele.

20 Figur 1 zeigt zunächst eine bekannte Halbleiteranordnung 10, die aus mehreren unterschiedlich dotierten Schichten 1, 2, 3, 4 besteht. Dabei sind die Schichten 1,2,4 mit unterschiedlicher Konzentration n-dotiert, während es sich bei der Schicht 3 um eine p-dotierte Schicht handelt. Die äußeren Oberflächen der Schichten 3 und 4 sind mit Kontaktschichten 5,6 aus Metall belegt. Bei dieser
25 Halbleiteranordnung 10 handelt es sich beispielsweise um eine Diode. Die p-dotierte Schicht 3 bildet mit den n-dotierten Schichten 1, 2 einen pn-Übergang. Da sich die höher n-dotierte Schicht 2 im wesentlichen nur in der Mitte der Halbleiteranordnung befindet, unterscheidet sich das Dotierprofil an den Rändern der Diode von dem Dotierprofil in dem mittleren Bereich der Diode. Bei Betrieb
30

der Diode in Sperrrichtung tritt daher bei einer Durchbruchsspannung U_Z ein Spannungsdurchbruch im Wesentlichen nur im mittleren Bereich der Diode und nicht in ihrem Randbereich auf. Dies hat zwar eine hohe Robustheit im Betrieb zur Folge, da im Randbereich der Diode kein Lawinendurchbruch auftreten kann. Besonders nachteilig für Anwendungen der Diode bei höheren Spannungen ist jedoch, dass die Diode infolge der niedrig n-dotierten Schicht 1 einen vergleichsweise hohen elektrischen Widerstand aufweist. Dieser Widerstand verursacht einen unerwünschten Spannungsabfall, der sich vor allem im Durchbruchsbetrieb störend auswirkt. Dies ist umso ausgeprägter, je höher die Durchbruchsspannung U_Z der Diode ist. Deshalb ist eine derartige herkömmliche Diode für höhere Durchbruchsspannungen, wie sie zum Beispiel für den Einsatz in Bordnetzen mit 42 V Betriebsspannung benötigt werden, nicht geeignet. Die vorgeschlagene Erfindung beseitigt diesen Nachteil.

Figur 2 zeigt als erstes Ausführungsbeispiel der Erfindung in einer schematischen Schnittdarstellung eine aus mehreren Teilschichten unterschiedlicher Dotierung bestehende Halbleiteranordnung 20. Ausgegangen wird von einem schwach n-dotierten Halbleitersubstrat, das eine erste Teilschicht 1 bildet. Im mittleren Bereich dieses Halbleitersubstrats ist von der Oberseite her eine zweite n-dotierte Teilschicht 2 eingebracht, die sich jedoch nicht bis in die Randbereiche der Teilschicht 1 erstreckt. Ebenfalls von der Oberseite aus erstreckt sich eine dritte p-dotierte Teilschicht 3 bis an die n-dotierte Teilschicht 2 im mittleren Bereich und bis an die n-dotierte Teilschicht 1 im Randbereich der Halbleiteranordnung 20. Die Grenzbereiche zwischen den Teilschichten 3 und 2, beziehungsweise 3 und 1 bilden die pn-Übergänge. Mit 5 und 6 sind metallische Kontaktschichten bezeichnet, die auf die äußeren Oberflächen der Teilschichten 3 und 4 aufgebracht sind. Da die n-Dotierungskonzentration der Teilschicht 2 größer ist als die n-Dotierungskonzentration der Teilschicht 1, ist die Durchbruchsspannung U_{ZM} des im mittleren Bereich der Halbleiteranordnung 20 zwischen den Teilschichten 3 und 2 liegenden pn-Übergangs 3-2 kleiner als die Durchbruchsspannung U_{ZR}

des im Randbereich der Halbleiteranordnung 20 liegenden pn-Übergangs 3-1 zwischen den Teilschichten 3 und 1. Somit ist hier sichergestellt, dass ein Durchbruch auch bei der erfindungsgemäßen Halbleiteranordnung nur im mittleren Bereich der Halbleiteranordnung 20 und nicht an deren Randbereich erfolgen kann. Infolge der Ladungsneutralität dehnt sich die Raumladungszone in dem Randbereich der Halbleiteranordnung 20 weiter aus als in deren mittleren Bereich. Dies hat zur Folge, dass die elektrische Feldstärke an der Oberfläche des Randbereichs der Halbleiteranordnung 20 herabgesetzt ist. Daraus ergeben sich in vorteilhafter Weise ein geringerer Sperrstrom und eine höhere Impulsfestigkeit. In Folge des geringen Sperrstroms kann gegebenenfalls in vorteilhafter Weise auch auf ein Entfernen der Damagezone, beispielsweise durch einen zusätzlichen Ätzborgang, verzichtet werden. Von der Rückseite der Halbleiteranordnung 20 her dehnt sich eine stark n-dotierte weitere Teilschicht 4 bis an n-dotierte Teilschicht 2 und die schwach n-dotierte Teilschicht 1 aus. Im Gegensatz zu der in Figur 1 dargestellten herkömmlichen Halbleiteranordnung 10 verbleibt zwischen den jeweils n-dotierten Teilschichten 3 und 4 nur in einem schmalen Randbereich eine schwach n-dotierte Teilschicht 1. Im mittleren Bereich der Halbleiteranordnung 20 ist daher die n-Dotierkonzentration höher als die Grunddotierung der ersten Teilschicht 1 der Halbleiteranordnung. Durch das erfindungsgemäße Vermeiden einer schwach n-dotierten Teilschicht 1 zwischen den Teilschichten 3 und 4 bei der Halbleiteranordnung 20 wird ein deutlich geringerer Bahnwiderstand als bei einer herkömmlichen Halbleiteranordnung erzielt. Im Falle eines Durchbruchs ergibt sich daraus, in vorteilhafter Weise, ein geringerer Spannungsabfall.

Ein weiteres Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung ist in einer schematischen Querschnittsdarstellung in Figur 3 dargestellt. Diese Halbleiteranordnung 30 weist, im Unterschied zu der in Figur 2 dargestellten Halbleiteranordnung 20, in ihrem Randbereich keine Vertiefung auf. Dies ermöglicht, bei gleicher Gesamtdicke der Halbleiteranordnungen 20, 30, das Erreichen einer noch höheren Durchbruchsspannung UZR am Randbereich der

Halbleiteranordnung 30 mit allen sich daraus ergebenden Vorteilen, wie geringer Sperrstrom und höhere Impulsfestigkeit.

Ein weiteres Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung ist in Figur 6 dargestellt. Im Unterschied zu den Halbleiteranordnungen 20 und 30 in Figur 2 und Figur 3, besteht die Teilschicht 2 aus demselben Dotierungstyp wie die Teilschicht 3.

Weiterhin sind Ausführungsbeispiele denkbar, bei denen das Ausgangsmaterial der Teilschicht 1 nicht homogen dotiert ist. Diese Teilschicht 1 wird vielmehr als Epitaxieschicht auf einer bereits hochdotierten Teilschicht 4 aufgebracht.

Im Folgenden wird, unter Bezug auf Figur 2, ein besonders vorteilhaftes Herstellungsverfahren zur Herstellung einer Halbleiteranordnung mit dem in Figur 2 dargestellten Schichtaufbau beschrieben. Als Beispiel wird die Herstellung einer Diode mit einer Zener-Spannung UZ von circa 50 Volt beschrieben.

Selbstverständlich können mit dem erfindungsgemäßen Verfahren auch Dioden hergestellt werden, die für größere oder kleinere Zener-Spannungen ausgelegt sind. So kann beispielsweise durch eine einfache Variation des Dotierungsprofils eine Zener-Spannung von etwa 20 Volt realisiert werden. Ausgegangen wird von einem aus Silizium bestehenden Halbleitersubstrat mit einer Dicke von rund 180 µm und einer n-Dotierung von circa $1 \cdot 10^{16} \text{ cm}^{-3}$, das die erste Teilschicht 1 der Halbleiteranordnung 20 bildet. Diese Teilschicht 1 wird auf der Ober- und Unterseite mit Phosphor dotiert. Dies kann auf vorteilhafte Weise mittels Ionenimplantation, Dotiergläsern, Dotierfolien, oder, besonders zweckmäßig, mittels einem als APCVD-Verfahren (Atmospheric Pressure Chemical Vapour Deposition) bezeichneten Verfahren erfolgen. Besonders einfach und wirtschaftlich kann die Dotierung der Teilschicht 1 mit Phosphoratomen auch in einer Gasphase erfolgen. Dazu wird die Teilschicht 1 bei einer erhöhten Temperatur einer Atmosphäre von POCl_3 ausgesetzt. Dafür eignen sich Temperaturen etwa zwischen 830°C und 890°C, insbesondere eine

Temperatur von 870°C. Nach dem Dotiervorgang werden die auf dem Halbleitersubstrat verbliebenen Glasschichten durch einen Ätzvorgang mittels verdünnter Flusssäure entfernt. Werden für das Dotieren Dotiergläser verwendet, so folgt nach dem Abscheiden der dotierten Gläser ein sogenannter Eintreibschritt, um die Dotieratome in das zu dotierende Halbleitersubstrat, also die erste Teilschicht 1, einzutreiben. Als besonders günstig hat sich ein Eintreibschritt von 20 bis 40 Minuten, insbesondere 30 Minuten erwiesen. Dieser Eintreibschritt wird zweckmäßig bei einer erhöhten Temperatur von etwa 1200 bis 1300, insbesondere von 1265 °C, durchgeführt. Nach diesem Dotierungsschritt beträgt das Integral über die Konzentration von Phosphoratomen, die Dosis, auf jeder dotierten Seite der ersten Teilschicht 1 etwa $2 \cdot 10^{16} \text{ cm}^{-2}$. Die Eindringtiefe der Phosphoratomene in das n-dotierte Halbleitermaterial der ersten Teilschicht 1 beträgt ungefähr 5-15 Mikrometer. Im Falle einer PoCl_3 -Gasphasenbelegung weniger als etwa 1 Mikrometer. Anschließend wird die Oberseite der dotierten ersten Teilschicht 1 strukturiert. Dies kann in besonders vorteilhafter Weise durch Sägeschnitte in die Oberseite mittels einer Diamantsäge oder wasserunterstütztes Laserschneiden erfolgen. Die Sägetiefe ST (Figur 4) beträgt etwa 1-35 Mikrometer. Im Regelfall wird die Sägetiefe ST zweckmäßig derart gewählt, dass sie größer ist als die Eindringtiefe der Phosphoratomene in die Oberfläche der Teilschicht 1. Durch die geeignete Wahl der Sägetiefe ST kann die laterale Ausdiffusion der Phosphorschicht, beziehungsweise die Phosphorkonzentration und damit die Durchbruchfeldstärke im Randbereich der Halbleiteranordnung 20, bei dem anschließenden Diffusionsvorgang maßgeblich beeinflusst werden. Die Breite SB des verwendeten Sägeblatts richtet sich auch nach der gewünschten Sägetiefe und dem anschließenden Diffusionsprozess. Typisch sind Sägebreiten SB (Figur 1,2, 4b, 6) in der Größenordnung von ca. 300 Mikrometer. Nach diesem mechanischen Strukturierungsprozess findet ein weiterer Diffusionsprozess statt, bei dem die n-Dotierstoffe in das Halbleitersubstrat eingetrieben werden. Dieses Eintreiben findet bevorzugt in einer oxidierenden Atmosphäre, zweckmäßig in trockenem oder auch nassem Sauerstoff statt. Als Abwandlung ist auch die Diffusion in einer Atmosphäre aus reinem Stickstoff oder einem Stickstoff- Sauerstoffgemisch möglich. Auch dieser

Diffusionsvorgang wird bei einer hohen Temperatur zwischen 1200 und 1300 C, insbesondere bei einer Temperatur von 1265 C durchgeführt. Dieser Temperatur wird das Halbleitersubstrat für etwa 140 Stunden ausgesetzt. Während des Diffusionsvorgangs ist das Halbleitersubstrat auf einem geeigneten Träger angeordnet, der vorzugsweise aus SiC oder einem ähnlich temperaturfesten Material besteht. Nach dem zuvor beschriebenen Diffusionsvorgang wird die dabei auf der Oberfläche des Halbleitersubstrats entstandene Schicht aus SiO₂ wieder abgeätzt. Um die Effizienz des Verfahrens zu steigern, können grundsätzlich auch mehrere Halbleitersubstrate zu einem Stapel aufgeschichtet und gemeinsam dem Diffusionsprozess ausgesetzt werden. Zwischen die einzelnen Halbleitersubstrate werden dabei zweckmäßig sogenannte Neutralfolien (neutral preforms) angeordnet. Diese Neutralfolien enthalten Trennmittel, wie beispielsweise Körner aus SiC oder Al₂O₃, und verhindern so ein Zusammenkleben der Halbleitersubstrate. Nach erfolgreicher Beendigung des Diffusionsprozesses werden die einzelnen Halbleitersubstrate mittels verdünnter Flusssäure wieder voneinander getrennt. In einem anschließenden weiteren Diffusionsprozess wird nun eine weitere Teilschicht 3 eingebracht, die p-dotiert ist. Gleichzeitig soll die Konzentration der Dotieratome in der Teilschicht 4 noch weiter erhöht werden. Grundsätzlich sind dafür alle dem Fachmann geläufigen Dotierverfahren geeignet. Besonders vorteilhaft ist jedoch die Verwendung sogenannter Dotierfolien. Dabei werden abwechselnd p- und n-Dotierfolien zusammen mit den Halbleitersubstraten wiederum zu Stapeln geschichtet und zusammen erhitzt. Dieser Prozessschritt nimmt etwa eine Zeit von 30 Stunden bei einer Temperatur von 1265 °C in Anspruch. Besonders vorteilhaft bei dieser Verfahrensdurchführung ist dabei, dass die Teilschichten 3 und 4 gemeinsam in einem einzigen Diffusionsschritt erzeugt werden können. Wie oben schon beschrieben, werden nach Beendigung dieses Diffusionsschrittes die einzelnen Halbleitersubstrate mittels verdünnter Flusssäure wieder voneinander getrennt.

Das Diffusionsprofil im mittleren Bereich (vergleiche Schnitt AB in Figur 2) einer auf die zuvor beschriebene Weise hergestellten Diode ist in dem Diagramm in

Figur 5 (Kurvenverlauf II) dargestellt. Dieses Diagramm zeigt die Dotierkonzentration in Abhängigkeit von dem Abstand x . Als Besonderheit lässt sich hervorheben, dass die minimale Dotierkonzentration bei dieser Diode größer ist als die Grunddotierung des Halbleitersubstrats, also der Dotierung der ersten Teilschicht 1 in Figur 2 oder 3.

Im Gegensatz zu der herkömmlichen Struktur einer Halbleiteranordnung nach Figur 1, bei der das Einsägen erst nach der Diffusion der n-dotierten Teilschicht 2 erfolgt, kann bei der erfindungsgemäßen Lösung die Sägetiefe ST geringer gewählt werden als bei der herkömmlichen Halbleiteranordnung. Da deshalb der noch verbleibende Anteil der ersten Teilschicht 1 größer ist als bei der herkömmlichen Lösung, können im Randbereich der erfindungsgemäßen Halbleiterstruktur höhere Durchbruchsspannungen UZR erzielt werden. Wenn die Sägetiefe ST, wie bei der herkömmlichen Halbleiterstruktur, nicht klein genug gewählt werden kann, weil das Einsägen erst nach der ersten Diffusionsbehandlung der n-dotierten Teilschicht 2 erfolgt, diffundiert die p-dotierte dritte Teilschicht 3 mit der n-dotierten Teilschicht 4 im Randbereich der Halbleiteranordnung zusammen. Dies vermindert jedoch die Durchbruchsspannung UZR stark.

In einer weiteren alternativen Ausgestaltung des erfindungsgemäßen Verfahrens kann die zuvor beschriebene gemeinsame Diffusion der p-dotierten Teilschicht 3 und der n-dotierten Teilschicht 4 auch in zwei Teilschritte aufgespalten werden. Dabei werden in dem ersten Teilschritt zunächst die Dotierstoffe eingebracht und in einem zweiten Teilschritt dann weiter eingetrieben. Wiederum können dabei die oben schon beschriebenen Dotier- und Diffusionsverfahren eingesetzt werden. Insbesondere können die Stapeldiffusion und die Diffusion in Trägern (boots) oder eine Kombination von beiden Verfahren angewendet werden.

Anschließend wird das Halbleitersubstrat auf seiner Oberseite und seiner Unterseite mit je einer Kontaktschicht 5, 6 aus Metall versehen (Figur 2). Vorzugsweise wird dabei allerdings eine komplexe Schichtenfolge aus mehreren Metallen aufgebracht. Beispielsweise eignet sich die Kombination Chrom, Nickel, Silber besonders gut.

Nach der Metallisierung der Kontaktbereiche der Halbleitersubstrate werden die einzelnen Halbleiteranordnungen, in dem beschriebenen Ausführungsbeispiel also Dioden, zum Beispiel durch Sägen mit einer Diamantsäge voneinander getrennt. Üblich sind dabei Sägeblätter mit einer Breite von 40 Mikrometer. Durch diesen Sägevorgang erhält man einzelne Dioden, die üblicherweise noch mit einem Gehäuse versehen werden. Die Diode wird in das Gehäuse eingelötet und durch dieses geschützt.

Das Trennen der Halbleitersubstrate mittels einer Diamantsäge, kann, bei ungünstigen Sägebedingungen, die beispielsweise von der Körnung der Diamantsplitter der Säge, der Drehzahl und dem Vorschub abhängig sind, gestörte Kristallzonen im Randbereich der Halbleiteranordnung 20, 30, 60 hervorrufen. Diese gestörten Kristallzonen wiederum geben Anlass zu unerwünschten zusätzlichen Sperrströmen bei dem Betrieb der Halbleiteranordnung. Üblicherweise werden daher die gestörten Kristallzonen in einem zusätzlichen Verfahrensschritt, beispielsweise durch Ätzen, entfernt. Bei der erfindungsgemäßen Halbleiteranordnung 20, 30, 60 ist aber die Durchbruchsspannung UZR im Randbereich der Halbleiteranordnung deutlich höher als bei einer herkömmlichen Halbleiteranordnung, wie beispielsweise jener nach Figur 1. Daher ist auch das Verhältnis von Durchbruchsspannung UZR am Randbereich der Halbleiteranordnung zu der Durchbruchsspannung UZM im mittleren Bereich der Halbleiteranordnung wesentlich höher. Dies hat zur Folge, dass bei der erfindungsgemäß ausgebildeten Halbleiteranordnung der von den eventuell gestörten Randbereichen stammende Sperrstrom wesentlich geringer ist.

Auf das Entfernen der gestörten Kristallzonen (Damagezonen) im Randbereich der erfindungsgemäßen Halbleiteranordnung kann daher in den meisten Fällen auch verzichtet werden. Dies führt zu einer Vereinfachung des Herstellungsverfahrens und damit zu einer weiteren Kostensenkung.

5

10

15

20

25

30

Werden die gestörten Randbereiche aber doch entfernt, was im Folgenden beschrieben wird, lässt sich ein noch wesentlich geringerer Sperrstrom erreichen. Für die Entfernung der gestörten Randbereiche der Halbleiteranordnung bieten sich nasschemische Ätzverfahren unter Verwendung von KOH, Gasphasenätzen, oder ähnliche Verfahren an. Da im Gegensatz zu herkömmlichen Halbleiteranordnungen nur sehr flache Sägegräben notwendig sind, bietet sich aber insbesondere ein nasschemisches Ätzverfahren unter Verwendung von KOH oder einer vergleichbaren Ätzlösung an. Bei einer herkömmlichen Halbleiteranordnung nach Figur 1 ist der erforderliche Sägegraben besonders tief und schmal. Beispielsweise beträgt das Verhältnis von Sägebreite SB zu Sägetiefe ST 2,5. Bei der erfindungsgemäßen Halbleiteranordnung 20 nach Figur 2 dagegen, beträgt das Verhältnis von Sägebreite SB zu Sägetiefe ST beispielsweise 15. Diese Verhältnisse sind in Figur 4, mit den Teilfiguren Figur 4a und Figur 4b zeichnerisch dargestellt. In beiden Figuren ist jeweils ein vergrößerter Ausschnitt aus einem Kantenbereich einer Halbleiteranordnung im Querschnitt dargestellt. Das Halbleitersubstrat ist mit 7 bezeichnet. Mit Bezugsziffer 8 ist eine Lotschicht bezeichnet. Bezugsziffer 9 kennzeichnet eine beispielsweise aus Kupfer bestehende Wärmesenke. Die Sägebreite ist mit der Buchstabenkombination SB, die Sägetiefe mit ST bezeichnet. Eine herkömmliche Halbleiteranordnung ist in Figur 4a dargestellt, während Figur 4b eine erfindungsgemäße Halbleiteranordnung zeigt. Wie Figur 4b deutlich zeigt, füllt bei der erfindungsgemäßen Halbleiteranordnung die Lotschicht 8 den durch Sägebreite SB und Sägetiefe ST gekennzeichneten Sägegraben vollständig aus. Dies bietet den Vorteil, dass bei einer anschließenden nasschemischen Ätzung die Kontaktschicht 5 oder das darunter liegende Halbleitermaterial im Bereich des

Sägegrabens nicht mehr angegriffen werden, weil sie von der Lotschicht 8 vollständig abgedeckt sind. Darüber hinaus bietet ein vollständig mit duktilem Lotmaterial gefüllter Sägegraben den Vorteil, dass das Halbleitersubstrat mechanisch entlastet ist, wenn infolge von Temperaturwechselspannungen Druck- und/oder Scherkräfte auf die Halbleiteranordnung einwirken. Zudem wird die Wärmeableitung aus dem Halbleitersubstrat weiter verbessert. Die vorbeschriebenen Vorteile sind mit der in Figur 4a gezeigten Ausgestaltung einer herkömmlichen Halbleiteranordnung dagegen nicht zu erzielen.

Ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Halbleiteranordnung 30 ist in Figur 3 schematisch in einem Querschnitt dargestellt. Dabei wird auf eine Vertiefung des Halbleitersubstrats im Randbereich völlig verzichtet. Dies ermöglicht, bei gleicher Dicke des Halbleitersubstrats wie bei der Halbleiteranordnung 20 in Figur 2, eine noch höhere Durchbruchsspannung UZR im Randbereich. Dies führt zu weiteren Vorteilen, wie geringer Sperrstrom und höhere Impulsfestigkeit. Strukturaufbau und Herstellungsverfahren sind praktisch identisch wie bei dem oben anhand von Figur 2 beschriebenen Ausführungsbeispiel der Erfindung. Die Strukturierung der n-dotierten Schicht 2 kann aber vorteilhaft auch durch Verfahrensschritte erfolgen, die aus der konventionellen Fotolithografie und Planartechnik bekannt sind. Diese Verfahrensschritte umfassen insbesondere die Schritte thermische Oxidation, Belackung mit Fotolack, Vorhärtung, Belichtung und Aushärten des Fotolacks, Ätzen der Kontaktfenster und Strippen des Fotolacks. Bei hinreichend dicken thermischen Oxidschichten kann die Oxidschicht vorteilhaft auch als Diffusionsbarriere für die in das Halbleitersubstrat einzubringenden Phosphoratome dienen. Bei den verwendeten hohen Diffusionstemperaturen ist eine Dicke der Oxidschicht von 3-5 Mikrometer erforderlich. Die Strukturierung erfolgt auf die Weise, dass im mittleren Bereich des Halbleitersubstrats keine Oxidschicht, an seinem Rand R jedoch eine Oxidschicht verbleibt. Nach diesem Strukturierungsschritt folgen die oben schon beschriebenen Prozessschritte, beginnend mit der Dotierung der n-dotierten Schicht 2.

Ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Halbleiteranordnung 60 ist in Figur 6 schematisch in einem Querschnitt dargestellt. Abweichend von dem Ausführungsbeispiel der Halbleiteranordnung 20 in Figur 2 ist die Teilschicht 2 mit Bor anstatt mit Phosphor dotiert. Im Gegensatz zu der Halbleiteranordnung 20 wird die Sperrspannung U_{ZM} in der Mitte der Halbleiteranordnung von dem Übergang zwischen den Teilschichten 2-4 und nicht von dem Übergang zwischen den Teilschichten 3-2 bestimmt.

Grundsätzlich sind auch Ausführungsbeispiele möglich, bei denen das Ausgangsmaterial 1 nicht homogen dotiert vorliegt, sondern als Epitaxieschicht, die auf einem bereits hochdotierten Substrat 4 aufgebracht ist.

Auch wenn in den Figuren jeweils Halbleiterdioden, insbesondere Zenerdioden, dargestellt sind, lässt sich die erfindungsgemäße Lehre auch auf andere Halbleiteranordnungen, die einen pn-Übergang zwischen einer stark dotierten p- und einer stark dotierten n-Schicht mit einer nachgelagerten, schwächer dotierten n-Schicht übertragen. Ebenso sind Halbleiterbauelemente möglich, bei denen alle p- und n-Schichten miteinander vertauscht sind.

Bezugszeichenliste

5

1 dotierte Schicht

2 dotierte Schicht

3 dotierte Schicht

4 dotierte Schicht

10

5 Kontaktschicht

6 Kontaktschicht

7 Halbleitersubstrat

8 Lotschicht

9 Wärmesenke

15

10 Halbleiteranordnung

20 Halbleiteranordnung

30 Halbleiteranordnung

60 Halbleiteranordnung

20

SB Sägebreite

ST Sägetiefe

R Rand

Patentansprüche

1. Halbleiteranordnung mit einem pn-Übergang, die als Substrat mit einem
5 Randbereich ausgebildet ist, die aus einer ersten Schicht(3) eines ersten
Leitfähigkeitstyps und einer zweiten Schicht (1,2,4) des entgegengesetzten
Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht (1,2,4) aus mindestens
zwei Teilschichten (1,2) besteht, wobei die erste Teilschicht (2) eine erste
Dotierstoffkonzentration und die zweite Teilschicht (1) eine zweite
10 Dotierstoffkonzentration aufweist, die geringer als die erste
Dotierstoffkonzentration ist, wobei beide Teilschichten (1,2) mit der ersten
Schicht (3) einen pn-Übergang bilden, wobei der pn-Übergang der ersten Schicht
(3) mit der ersten Teilschicht (2) ausschließlich im Inneren des Chips und der pn-
Übergang zwischen der ersten Schicht (3) und der zweiten Teilschicht (1) im
15 Randbereich des Chips ausgebildet ist, und wobei die zweite Schicht (1,2,4) eine
dritte Teilschicht (4) umfasst, die eine dritte Dotierstoffkonzentration aufweist, die
höher ist als die erste Dotierstoffkonzentration und wesentlich höher als die zweite
Dotierstoffkonzentration, dadurch gekennzeichnet, dass die dritte Teilschicht (4)
über den größten Teil einer Querschnittsfläche (BC) im Inneren der
20 Halbleiteranordnung (20,30,) unmittelbar an die erste Teilschicht (2) und nur in
einem vergleichsweise schmalen Randbereich der Querschnittsfläche (BC) an die
zweite Teilschicht (1) angrenzt.

2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass sich die
25 Teilschichten (2, 4) der Halbleiteranordnung (20, 30,60) in einem mittleren
Bereich der Halbleiteranordnung (20, 30,60) wenigstens berühren, vorzugsweise
aber bereichsweise überlappen.

3. Halbleiteranordnung nach einem der Ansprüche 1,2, dadurch gekennzeichnet, dass die Dotierkonzentration in jeder der Teilschichten (2,4) höher ist als die Dotierkonzentration in der das Grundsubstrat bildenden Teilschicht (1).

5 4. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass in ihrem mittleren Bereich von den Teilschichten (2,3) ein erster pn-Übergang (2-3) zwischen p+- und n+- dotiertem Halbleitersubstrat gebildet ist.

10 5. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass in ihrem Randbereich von den Teilschichten(1,3) ein zweiter pn-Übergang (1-3) zwischen p+- und n—dotiertem Halbleitersubstrat gebildet ist.

15 6. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass sie in ihrem Randbereich einen breiten, flachen Sägegraben mit einer Sägebreite (SB) und einer Sägetiefe (ST) aufweist, wobei die Sägebreite (SB) größer als 80 Mikrometer, vorzugsweise größer als 100 Mikrometer ist, und wobei das Verhältnis von Sägebreite (SB) zu Sägetiefe (ST) einen Wert > 3 hat.

20 7. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Sägegraben (SB, ST) derart vollständig mit Lotmaterial gefüllt ist, dass die Wandflächen des Sägegrabens mit Lotmaterial bedeckt und durch dieses Lotmaterial geschützt sind.

25 8. Verwendung der Halbleiteranordnung nach einem der vorhergehenden Ansprüche als elektrisches Ventil (Diode).

30 9. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Durchbruchsspannung (UZR) im Randbereich der Halbleiteranordnung (20, 30, 60) wesentlich größer ist als die

Durchbruchsspannung (UZM) in einem mittleren Bereich der Halbleiteranordnung (20,30,60).

10. Halbleiteranordnung nach Anspruch 9, dadurch gekennzeichnet, dass die Durchbruchsspannung im Randbereich (UZR) etwa um den Faktor 2 bis 7 größer ist als die Durchbruchsspannung (UZM).

11. Halbleiteranordnung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass der Bahnwiderstand in einem mittleren Bereich der Halbleiteranordnung (20, 30,60) geringer ist als der Bahnwiderstand in einem Randbereich der Halbleiteranordnung (20, 30,60).

12. Halbleiteranordnung mit einem pn-Übergang, die als Substrat mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht(3, 2) eines ersten Leitfähigkeitstyps und einer zweiten Schicht (1,4) des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht (1,4) aus mindestens zwei Teilschichten (1,4) besteht, wobei die erste Teilschicht (4) eine erste Dotierstoffkonzentration und die zweite Teilschicht (1) eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste Dotierstoffkonzentration ist, wobei beide Teilschichten (1,4) mit der ersten Schicht (3, 2) einen pn-Übergang bilden, wobei der pn-Übergang der ersten Schicht (2) mit der Teilschicht (4) ausschließlich im Inneren des Chips und der pn-Übergang zwischen der ersten Schicht (3) und der zweiten Teilschicht (1) im Randbereich des Chips ausgebildet ist, dadurch gekennzeichnet, dass die Schicht (4) über den größten Teil einer Querschnittsfläche (BC) im Inneren der Halbleiteranordnung (60) unmittelbar an die erste Schicht (2) und nur in einem vergleichsweise schmalen Randbereich der Querschnittsfläche (BC) an die zweite Schicht (1) angrenzt.

13. Halbleiteranordnung mit einem pn-Übergang, die als Substrat mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht(3) eines ersten Leitfähigkeitstyps und einer zweiten Schicht (1,2,4) des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht (1,2,4) aus mindestens
5 zwei Teilschichten (1,2) besteht, wobei die erste Teilschicht (2) eine erste Dotierstoffkonzentration und die zweite Teilschicht (1) eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste Dotierstoffkonzentration ist, wobei beide Teilschichten (1,2) mit der ersten Schicht (3) einen pn-Übergang bilden, wobei der pn-Übergang der ersten Schicht
10 (3) mit der ersten Teilschicht (2) ausschließlich im Inneren des Chips und der pn-Übergang zwischen der ersten Schicht (3) und der zweiten Teilschicht (1) im Randbereich des Chips ausgebildet ist, und wobei die zweite Schicht (1,2,4) eine dritte Teilschicht (4) umfasst, die eine dritte Dotierstoffkonzentration aufweist, die höher ist als die erste Dotierstoffkonzentration und wesentlich höher als die zweite
15 Dotierstoffkonzentration, dadurch gekennzeichnet, dass die dritte Teilschicht (4) über den größten Teil einer Querschnittsfläche (BC) im Inneren der Halbleiteranordnung (20,30,) unmittelbar an die erste Teilschicht (2) und nur in einem vergleichsweise schmalen Randbereich der Querschnittsfläche (BC) an die zweite Teilschicht (1) angrenzt.

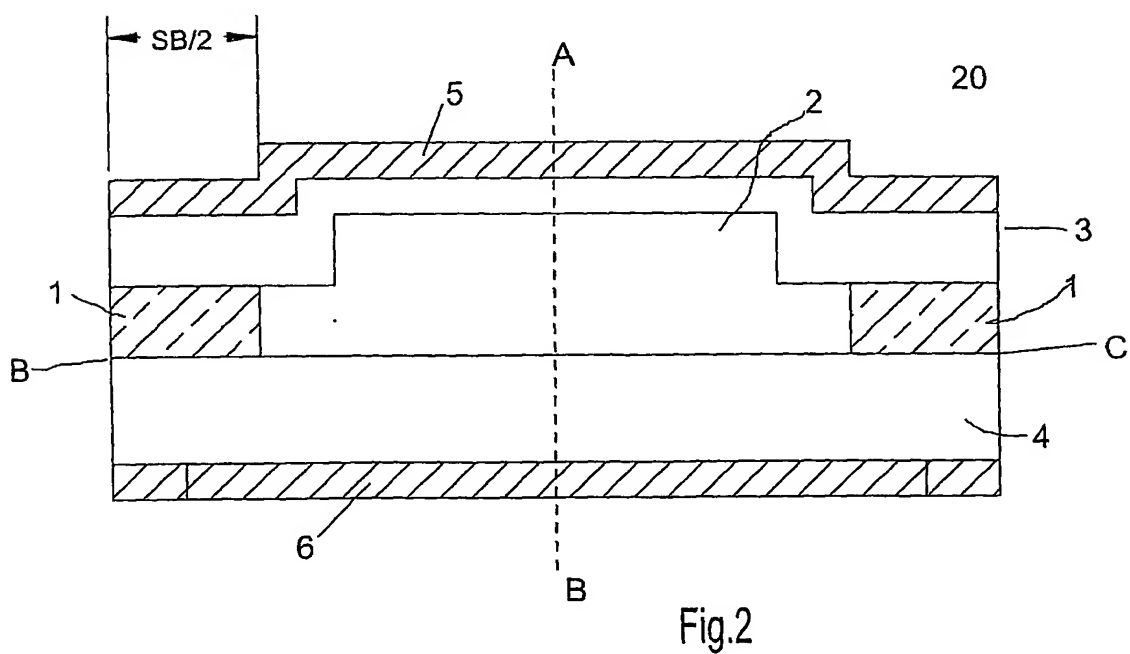
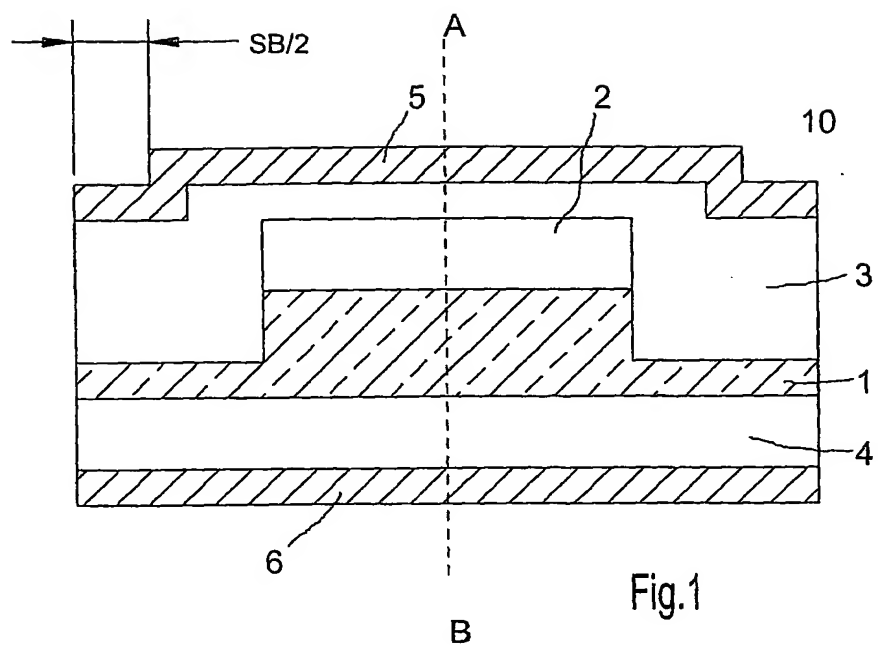
20
14. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 1 bis 13, gekennzeichnet durch folgende Verfahrensschritte:

- Herstellen einer ersten Teilschicht (1) einer Halbleiteranordnung (20, 30) bildenden Halbleitersubstrats eines ersten Leitfähigkeitstyps,
- 25 - beidseitiges Dotieren der ersten Teilschicht (1) zur Bildung von zwei weiteren Teilschichten (2,4) des gleichen Leitfähigkeitstyps wie die erste Teilschicht (1) aber mit unterschiedlichen Dotierungsgraden, derart, dass sich die beiden Teilschichten höchstens in einem mittleren Bereich der Halbleiteranordnung (20,30) berühren oder überlappen,

- Erzeugung einer vierten Teilschicht (3) eines entgegengesetzten Leitungstyps durch Einbringen eines Dotierstoffes in die Teilschichten (1,2), sowie Erhöhung der Dotierkonzentration von Teilschicht (4),
- Bedecken der äußeren Oberflächen der Teilschichten (3,4) mit metallischen Kontaktschichten (5,6).

15. Halbleiteranordnung nach einem der Ansprüche 1 bis 13, gekennzeichnet durch die Vertauschung der p- beziehungsweise n-dotierten Schichten.

1/4



2/4

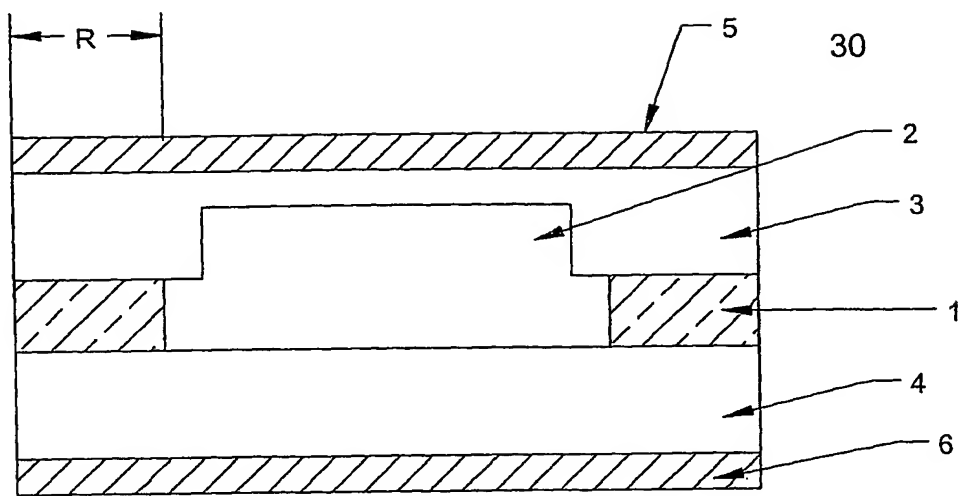


Fig.3

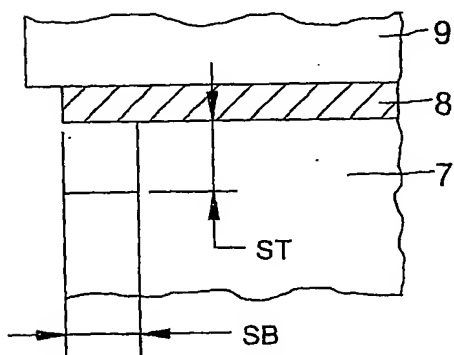


Fig.4a

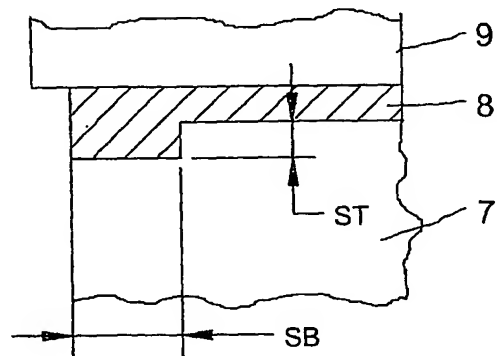


Fig.4b

Fig.4

3/4

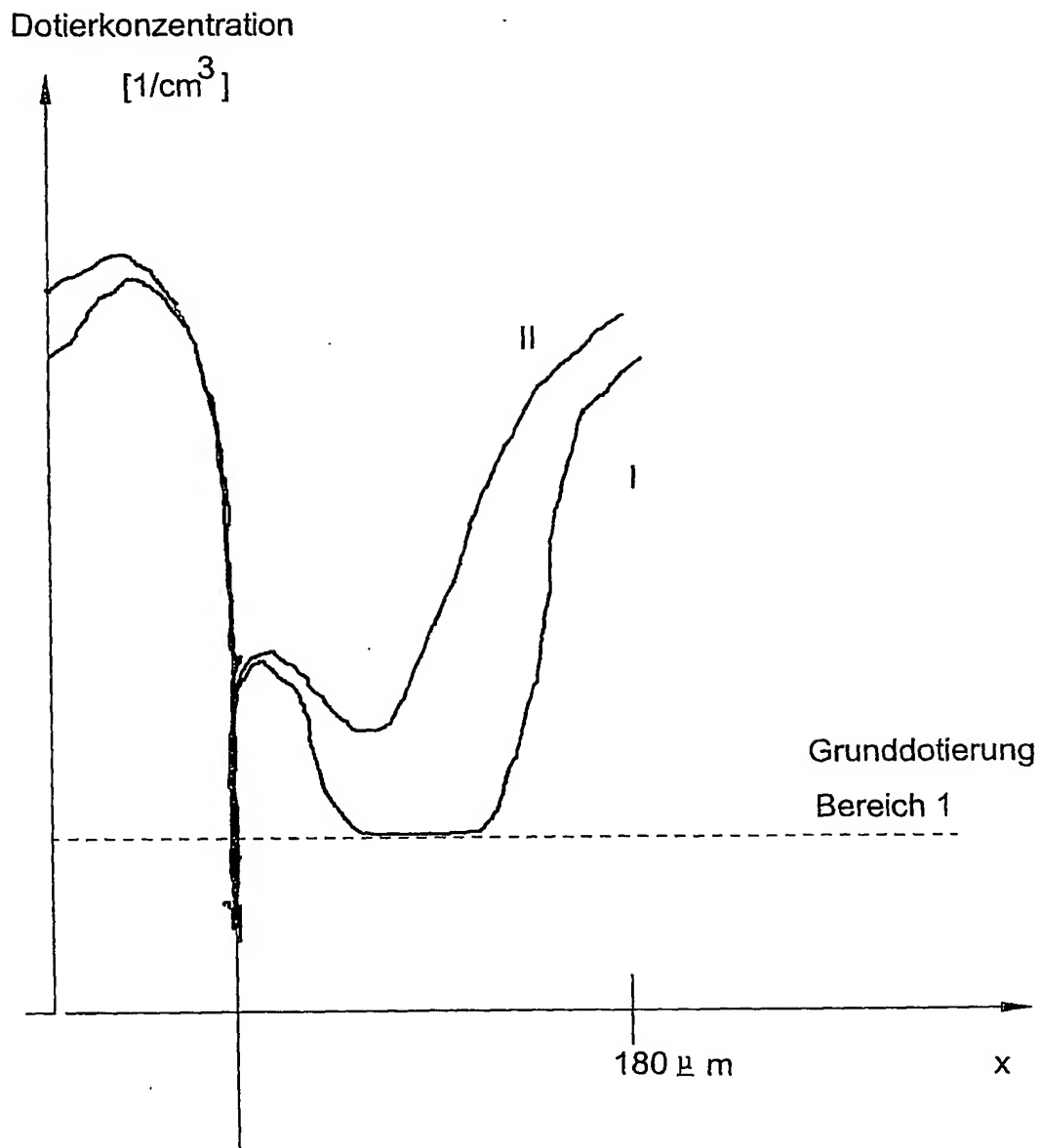


Fig.5

4/4

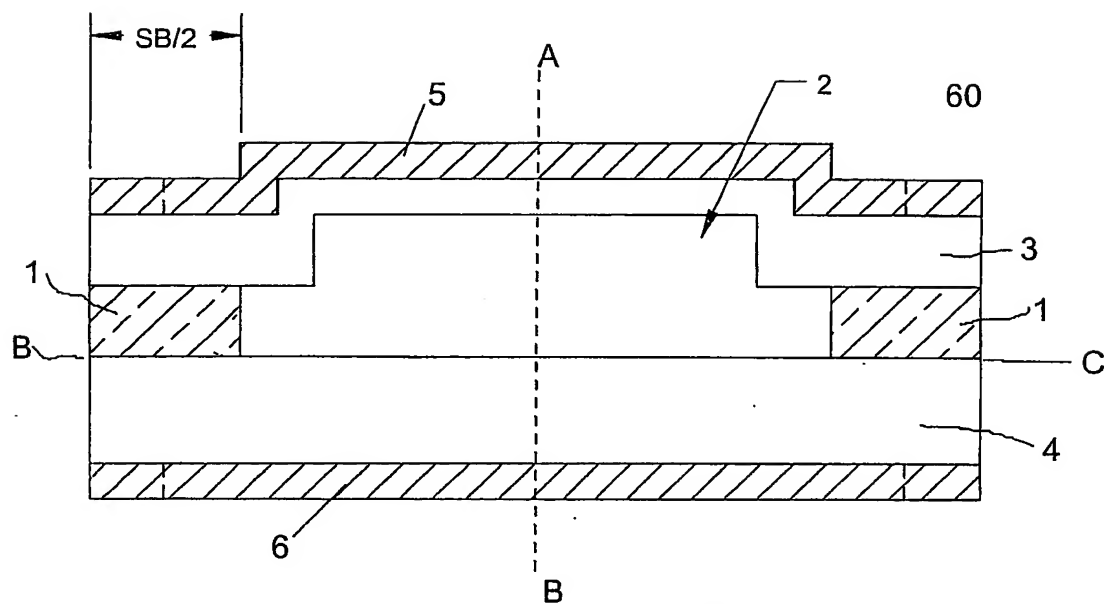


Fig. 6

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/01809

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/861

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/070380 A1 (ANDOH HIDEYUKI) 13 June 2002 (2002-06-13) page 5, paragraph 43 -page 6, paragraph 56; figure 2A	1-15
A	US 2002/127890 A1 (ANDOH HIDEYUKI) 12 September 2002 (2002-09-12) the whole document	1-15
A	US 2002/072207 A1 (ANDOH HIDEYUKI) 13 June 2002 (2002-06-13) page 9, paragraph 68 -page 11, paragraph 78; figure 4	12
A	WO 01 13434 A (BOSCH GMBH ROBERT ;GOEBEL HERBERT (DE); GOEBEL VESNA (DE)) 22 February 2001 (2001-02-22) the whole document	1,6,12, 13
-/--		

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

10 November 2003

Date of mailing of the international search report

17/11/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/01809

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 43 20 780 A (BOSCH GMBH ROBERT) 9 March 1995 (1995-03-09) cited in the application -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/DE 03/01809

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2002070380	A1	13-06-2002	JP 2002184782 A DE 10161058 A1	28-06-2002 01-08-2002
US 2002127890	A1	12-09-2002	JP 2002185016 A DE 10160960 A1	28-06-2002 13-06-2002
US 2002072207	A1	13-06-2002	JP 2002185019 A DE 10160962 A1	28-06-2002 27-06-2002
WO 0113434	A	22-02-2001	DE 19938209 A1 CZ 20020475 A3 WO 0113434 A1 EP 1208604 A1 HU 0202476 A2 JP 2003507890 T	15-02-2001 12-06-2002 22-02-2001 29-05-2002 28-12-2002 25-02-2003
DE 4320780	A	09-03-1995	DE 4320780 A1 FR 2707041 A1 IT 1270220 B JP 7038123 A US 5541140 A	09-03-1995 30-12-1994 29-04-1997 07-02-1995 30-07-1996

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/861

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^o	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2002/070380 A1 (ANDOH HIDEYUKI) 13. Juni 2002 (2002-06-13) Seite 5, Absatz 43 -Seite 6, Absatz 56; Abbildung 2A	1-15
A	US 2002/127890 A1 (ANDOH HIDEYUKI) 12. September 2002 (2002-09-12) das ganze Dokument	1-15
A	US 2002/072207 A1 (ANDOH HIDEYUKI) 13. Juni 2002 (2002-06-13) Seite 9, Absatz 68 -Seite 11, Absatz 78; Abbildung 4	12
A	WO 01 13434 A (BOSCH GMBH ROBERT ;GOEBEL HERBERT (DE); GOEBEL VESNA (DE)) 22. Februar 2001 (2001-02-22) das ganze Dokument	1,6,12, 13

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie^o Besondere Kategorien von angegebenen Veröffentlichungen :^{"A"} Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist^{"E"} älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist^{"L"} Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)^{"O"} Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht^{"P"} Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist^{"T"} Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist^{"X"} Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden^{"Y"} Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist^{"&"} Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

10. November 2003

Absenddatum des internationalen Recherchenberichts

17/11/2003

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 43 20 780 A (BOSCH GMBH ROBERT) 9. März 1995 (1995-03-09) in der Anmeldung erwähnt -----	

INTERNATIONALER RESEARCHENBERICHT

Angaben zu Veröffentlichungen, die der selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/01809

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002070380 A1	13-06-2002	JP 2002184782 A DE 10161058 A1	28-06-2002 01-08-2002
US 2002127890 A1	12-09-2002	JP 2002185016 A DE 10160960 A1	28-06-2002 13-06-2002
US 2002072207 A1	13-06-2002	JP 2002185019 A DE 10160962 A1	28-06-2002 27-06-2002
WO 0113434 A	22-02-2001	DE 19938209 A1 CZ 20020475 A3 WO 0113434 A1 EP 1208604 A1 HU 0202476 A2 JP 2003507890 T	15-02-2001 12-06-2002 22-02-2001 29-05-2002 28-12-2002 25-02-2003
DE 4320780 A	09-03-1995	DE 4320780 A1 FR 2707041 A1 IT 1270220 B JP 7038123 A US 5541140 A	09-03-1995 30-12-1994 29-04-1997 07-02-1995 30-07-1996